

文章编号: 1007-2780(2011)03-0397-07

高速多通道 CCD 图像数据处理与传输系统设计

张贵祥, 金光*, 郑亮亮, 张 刘

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘 要: 针对航天光学遥感成像系统输出通道多、输出速率高的特点, 提出一种高速、多通道 CCD 图像数据并行处理与传输系统的设计方案。该方案以 FPGA 为数据处理和控制核心, 采用基于 FPGA 区域并行处理的数据处理方法, 运用 FPGA 内部块 RAM 构建高速多通道 CCD 图像的缓冲区, 在存取控制上采取区域缓存和时分复用的策略完成对高速多通道 CCD 图像数据的实时处理; 而对高速多通道 CCD 图像数据的传输采用基于 Channel link 高速差分串行传输技术, 以高速差分串行的 LVDS(Low Voltage Differential Signal)数据流替代传统的并行“TTL/COMS”信号进行传输, 使系统高速传输能力大大加强, 并且功耗低, 抗干扰能力强。研究结果表明, 该设计具有较好的稳定性、灵活性和通用性等, 并已成功运用于某 40 通道高速 CCD 成像系统中, 系统并行处理和传输的总数据率高达 7.68 Gbit/s。

关 键 词: 高速; 多通道; CCD; 并行处理; LVDS

中图分类号: TP274

文献标识码: A

DOI: 10.3788/YJYXS20112603.0397

Design of High-Speed and Multi-Channel CCD Image Data Processing and Transmission System

ZHANG Gui-xiang, JIN Guang*, ZHENG Liang-liang, ZHANG Liu

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033 China)

Abstract: In order to solve the problem that the data output of space optical remote sensing imaging system is multi-channel and high rate, a new design scheme for high-speed and multi-channel CCD (Charge Coupled Device) image data parallel processing and transmission system is proposed. The design uses field programmable gate arrays (FPGA) for the data processing and logic control. For high speed and multi-channel CCD image data processing, the paper adopts regional parallel processing based on FPGA. The FPGA inner block RAM is used to build high speed image data buffer and time-division multiplexing is put into operation to achieve high speed multi-channel image data integration and real-time processing. For high-speed multi-channel CCD image data transmission question involved, the paper analyzes in-depth low-voltage differential signal and high speed differential serial transmission technology, and put it in practice. Those technologies enhance the system high-speed transmission capacity, and lower power consumption, strengthen anti-interference ability. The result shows that the design has good stability, flexibility and versatility, which has already been successfully used in a 40-channels high-speed CCD imaging system with the data rate up to 7.68 Gbit/s.

Key words: high-speed; multi-channel; CCD; parallel processing; LVDS

收稿日期: 2010-10-18; 修订日期: 2010-11-26

基金项目: 国家自然科学基金项目(No. 61008046)

作者简介: 张贵祥(1982—), 男, 四川成都人, 博士, 主要从事光学传感器信号处理与传输技术的研究。

* 通讯联系人, E-mail: jing@ciomp.ac.cn

1 引 言

随着航天光学遥感成像技术的发展,对传输型遥感相机的地面像元分辨率和幅宽的指标要求不断提高。为了满足要求,高分辨率的航天光学遥感器大都采用高速多通道并行输出结构。高速是由于高分辨率造成 CCD 像元读出频率高,因而产生高数据率的图像数据;“多通道”包含两层含义:一是为了满足相机的地面幅宽,采用多片 CCD 拼接;二是为了保证信号电荷的完全转移输出,CCD 采用多个抽头并行输出。这必然带来数字化后 CCD 图像数据量的急剧增长,增加了后端高速处理与传输的难度。传统的图像数据传输方式难以满足高分辨率航天光学遥感器的要求。首先,物理层接口无法满足数据传输速率;其次,传输通道多,引起传输线数量增加,系统功耗、噪声

也随之增大^[1-3];其三,数据总线数目的增多及传输速率的加快会使 PCB 布线的难度提高,并且增加了信号的延时和相互干扰,不能满足遥感相机轻小型化的需求^[4]。

本文在参考国内外相关技术的基础上,根据某 40 通道高速 CCD 成像系统研制需求,提出一种高速、多通道的 CCD 图像数据并行处理与传输系统的设计方案并加以实现,最后通过实验验证了方案的可行性和可靠性。

2 设计思想及系统结构

本系统设计是为了实现 40 通道的高速 CCD 图像数据的同时获取、无缝拼接以及整合处理和传输,系统组成框图如图 1 所示。主要有 CCD 模拟前端、数据处理单元、高速串行传输单元、RS-422 通信接口以及高速图像数据采集系统等。

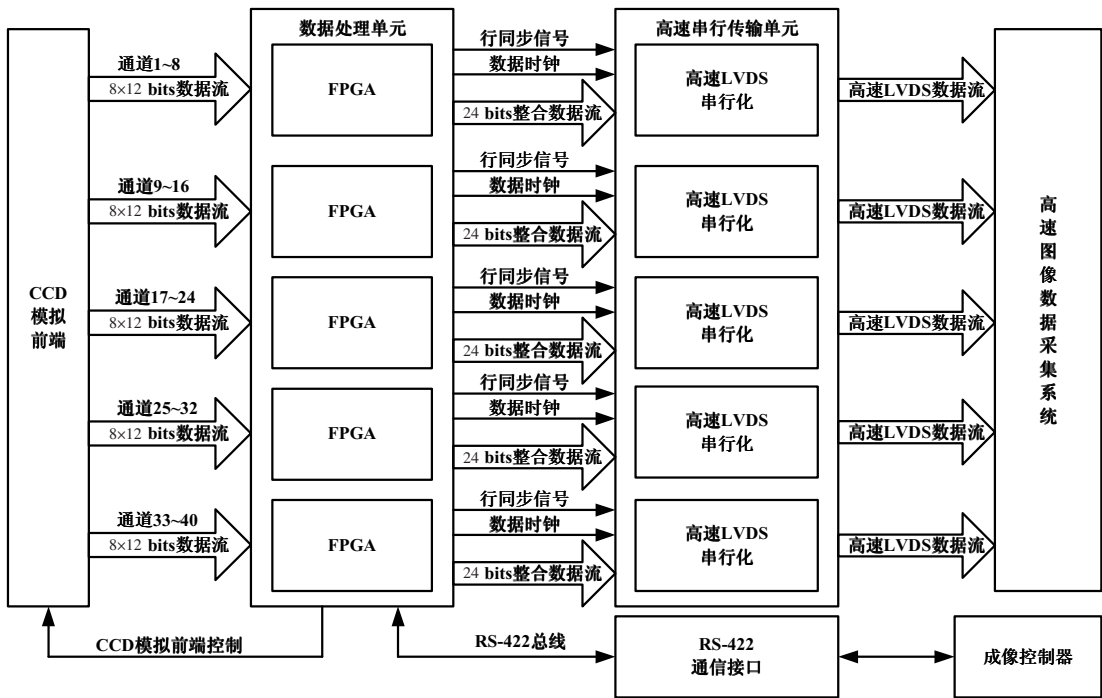


图 1 系统结构框图
Fig. 1 System framework block diagram

CCD 模拟前端的作用是把 CCD 输出的模拟信号经过放大降噪等处理后,在采样及控制脉冲的作用下变换成相应的数字图像数据^[5]。本系统中,CCD 模拟前端输出 40 通道数字图像数据,每个通道灰度量级为 12 bit,将会得到 480 位的并行数据。如果采用单 FPGA 处理,由于 I/O

资源有限,将无法完成 40 通道 CCD 图像数据的实时处理。为了提高系统的处理能力,充分发挥 FPGA 内部多个功能单元的并行处理和多 FPGA 的并行处理能力,采用区域并行处理的数据处理方法,即每 8 个通道采用一片 FPGA 实现图像数据无缝拼接和实时处理。具体方法是:通过 FPGA

内部的块 RAM 资源构建双端口 RAM,为 8 通道的 $8\times 12\text{ bit}$ 并行数据流的无缝缓冲和处理分别提供独立存储空间,实现多通道数据流合成,形成单一通道的带有行同步、数据时钟和 24 bit 整合数据流。实时处理后的图像数据的传输采用高速差分串行传输技术,将数据处理单元输出的 5 通道高速 24 bit 整合数据流经高速串行传输单元转化为高速的 LVDS 数据流进行传输,这样可大幅减小传输导线的数量,从而减小了系统的体积和重量。LVDS 信号具有抗干扰能力强、可有效抑制 EMI 以及时钟定位精确等优点,保证图像数据无误码传输。整个系统的控制采用 RS-422 总线通信方式,成像控制器为主节点,5 个并行处理的 FPGA 为从节点,RS-422 通信协议通过 Verilog 硬件编程在 FPGA 中实现,主要完成成像参数、图像信息与命令的交换。最终由高速图像数据采集系统对高速串行 LVDS 数据流进行采集,实现

图像数据的实时存储与显示。

3 系统实现

3.1 高速多通道数据并行处理

对于高速多通道图像数据并行处理采用基于 FPGA 的区域并行处理方法,FPGA 既是数据处理核心,也是整个系统的同步控制核心,主要完成的工作有:同步产生 CCD 模拟前端所需的工作时序和参数;同步接收和存储各通道高速数据流,完成多通道高速图像数据的整合,提供与外围其他硬件的接口逻辑;实现与成像控制器的 RS-422 通信,并接收控制指令和成像参数以及上传系统状态信息。其内部的主要功能模块包括:多通道高速图像数据的缓存、高速图像数据整合与发送、CCD 模拟前端控制器、RS-422 通信控制器以及自校图像发生器等。FPGA 内部功能框图如图 2 所示。

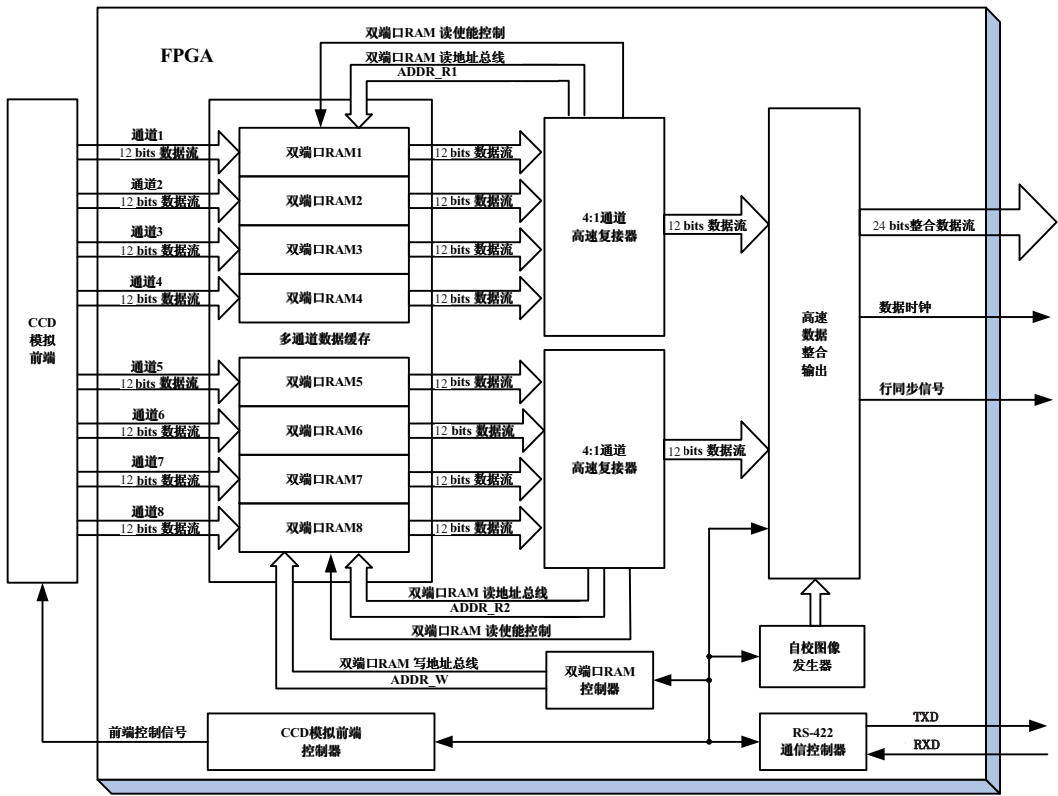


图 2 FPGA 内部功能框图
Fig. 2 FPGA internal functions diagram

为了保证多通道的高速图像数据流无遗漏的缓存,数据缓存采用 FPGA 内部块 RAM 资源构建双端口 RAM 进行缓存,为数据的存储和读取

分别提供独立通道,便于不同速率数据流的异步存取。为了将接收到的 40 通道 12 bit 数据流合成为 5 通道 24 bit 数据流,在存取控制上采取区

域缓存和时分复用的策略。

下面以 8 通道图像数据并行处理为例,说明其工作原理。由于接收到的 8 通道 12 bit 数据流是同步输入,所以在 FPGA 内部构建 8 个双端口 RAM 对 8 通道图像数据分别进行同步缓存。在构建双端口 RAM 时,避免存储和读取对同一个存储单元进行操作,每个通道的双端口 RAM 大小应正好能缓存该通道的两行图像数据,双端口 RAM 的存储区分为上下存储半区。为了保证 8 通道图像数据的同步写入,8 个双端口 RAM 共用一套地址总线 ADDR_W。在读取控制上,双端口 RAM1~4 被映射为统一地址编码的存储空间 ADDR_R1,而双端口 RAM5~8 被映射为另一个统一地址编码的存储空间 ADDR_R2。在读取数据时,上下两个被映射的读地址存储空间同时进行,以写入速度的 4 倍读取数据,分别读出 12 bit 数据组合成 24 bit 的数据,在一个发送时钟周期内发送给后续的高速串行传输单元。具体的工作过程如下:当每个通道的有效图像数据到来时,置双端口 RAM 的写使能信号有效,以 CCD 像元读出速率写入数据;当第一行有效图像数据完全写入双端口 RAM 时,正好达到双端口 RAM 存储上半区,这时置双端口 RAM 的读使能

有效,以写入速度的 4 倍读取数据,两个映射地址空间 ADDR_R1 与 ADDR_R2 同时读取,在读取数据的同时,第二行有效数据从双端口 RAM 的下半区存储单元继续缓存;当第二行有效数据完全写入双端口 RAM 时,第一行有效图像数据已经读取完毕,第三行有效图像数据又重新从双端口 RAM 的上半区存储单元缓存数据,如此乒乓操作,时分存取,周而复始完成 8 通道图像数据的无遗漏同步缓存。由于对多通道图像数据缓存的写入和读取速度不一致,所以采用异步读取方式,通过分时复用的 4:1 通道高速复接器将通道 1~4 和通道 5~8 的图像数据分别转换为 12 bit 数据流。然后再与接受到的成像参数通过高速数据整合模块进行整合,整合成按一定数据帧格式的 24 bit 整合数据流,同时输出数据发送时钟、行同步时钟,其时序关系如图 3 所示。高速图像传输数据帧由帧头、附加信息、图像数据组成,附加信息主要表征 CCD 成像参数以及拍摄的时间等。如果是自校工作模式,则发送图像数据是 FPGA 自身产生的 12 bit 规律灰度图像数据,同样也是两个 12 bit 的数据组成一个 24 bit 的发送单元,发送的数据是顺序发送,发送图像数据的帧格式和时序关系与成像工作模式相同。

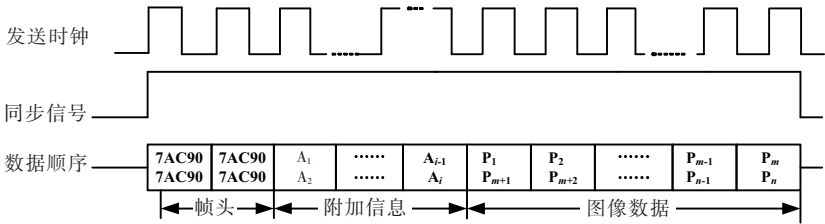


图 3 高速图像流输出时序关系

Fig. 3 High-speed image flow output timing

3.2 数据的高速传输

经过 FPGA 并行处理后的 24 bit 的高速并行数据,如果采用传统的 TTL/CMOS 信号并行传输,则信号抗干扰能力差,很难做到时钟与数据的精确匹配,且传输距离短,功耗也很大,不能满足高速数据传输要求。所以,对高速图像数据的传输应采取低压差分信号传输技术,即 LVDS 技术,用高速 LVDS 数据流代替传统的“TTL/COMS”数据通道。LVDS 是一种高速低功耗低摆幅的差分信号技术,使用非常低的幅度信号(约 350 mV)通过一对差分 PCB 走线或平衡电缆传

输数据^[6]。低的摆幅降低了信号的上升沿与下降沿时间,使信号能以 1.923 Gbit/s 的理论极限速率无失真地在媒介上进行传输。同时,差分传输时接收器只关心两信号差值,噪声被抵消,因此差分数据传输方式比单线数据传输方式对共模输入噪声有更强的抵抗能力^[7]。LVDS 技术的这些优点为数据在传输通道中高速稳定传输提供了保证。

基于 LVDS 的高速数据传输有多种方式,常用的有“直接差分传输”和“串行/解串传输”。“直接差分传输”采取点对点的 LVDS 线驱动器/接收器,将 1 路的 TTL/CMOS 信号转换为一对

LVDS 信号进行传输,这显然需要较多的传输线缆,不适合多通道高速数据的传输;而“串行/解串传输”是将多路并行数据转换为较少的 LVDS 线对进行高速差分串行传输,这大大减少了传输线缆和接插件引脚数目,充分利用了传输媒介的信道容量,从而降低了系统的重量、功耗,在多通道、宽带、大动态的高速数据传输中得到广泛应用。

为了满足设计要求,数据的高速传输采用 Channel link 技术,是一种基于物理层 LVDS 的传输技术。通过 LVDS 串行芯片与 LVDS 解串芯片来组成“TTL/CMOS”数据传输通道,数据通道中数据以 LVDS 数据流的方式进行传输,如图 4 所示。把 28 位 TTL/CMOS 数据经过 LVDS 串行芯片在一个时钟周期内转化为混合的 4 组 LVDS 数据流,同时,在第 5 组 LVDS 链路上将移位时钟信号发送出去。时钟信号的每个周期都对 28 位数据进行采样和发送。这种数据线多路合成技术不仅解决了数据的传输速率问题,而且减少了系统的传输导线数量,减小了连接件的物理尺寸,节约了系统成本。

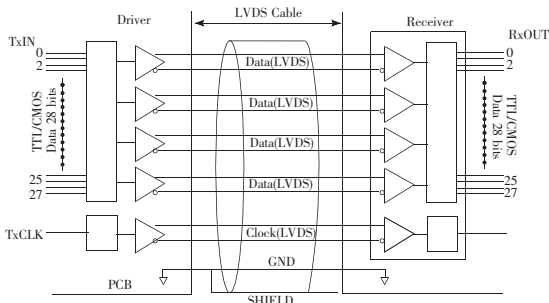


图 4 Channel link 工作原理

Fig. 4 Work principle of channel link

本系统将 1 路同步时钟和 24 bit 的并行数据作为 28 位 TTL/CMOS 数据输入低 25 位,高位接地或接高电平,送入美国国家半导体公司的 Channel link 芯片 DS90CR287,DS90CR287 支持 20~85 MHz 的像元时钟,带宽最高可达 297.5 Mbit/s,数据吞吐量达 2.38 Gbit/s,不仅能完全满足本系统的需求,而且还能适用于时钟低于 85 MHz 图像数据的传输。

3.3 RS-422 通信控制

本系统是在成像控制器的控制下完成其各种操作。系统与成像控制器的通信采用 RS-422 总线通信方式。RS-422 标准全称是“平衡电压数字

接口电路的电气特性”,它定义了接口电路的特性。图 5 是典型的 RS-422 四线接口。实际上还有一根信号地线,共 5 根线。由于接收器采用高输入阻抗和发送驱动器比 RS232 有更强的驱动能力,故允许在相同传输线上连接多个接收节点,最多可接 10 个节点。即一个主设备(Master),其余为从设备(Slave),从设备之间不能通信,所以 RS-422 支持点对多点的双向通信^[8]。这里成像控制器为主节点,5 个并行处理的 FPGA 为从节点。

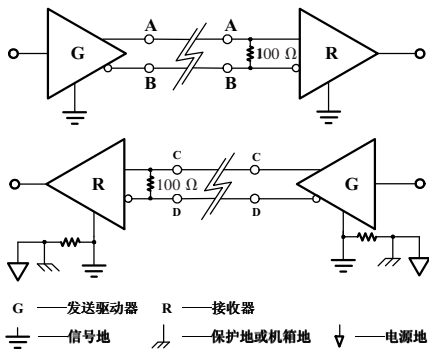


图 5 RS-422 的典型连接

Fig. 5 Typical RS-422 connection

对于 RS-422 通信控制,通过 FPGA 构建通用串口控制器 UART 来实现。RS-422 接口电路采用美国国家半导体公司的差分驱动器 DS26LV31 和差分接收器 DS26LV32 作为 RS-422 通信的接口电平转换芯片。为了吸收信号的反射,依据 RS-422 标准,RS-422 在电缆最远端并接匹配电阻 100 Ω。在发送器无信号输出时,差分线呈不稳定状态,容易受到外界干扰,可能在接收端产生变化,可能触发串行通信接口接收干扰数据。为了使线路闲置时状态稳定,在接收端增加上拉和下拉电阻,正信号上拉,负信号下拉,电阻阻值为 1 kΩ。为了提高 CMOS 电路抗门锁能力,COMS 电路多余的输入端不能悬空,所以设计时差分驱动器 DS26LV31 未用的输入端接信号地,而差分接收器 DS26LV32 未使用的差分正输入端接电源,差分负输入端接信号地^[9]。

3.4 高速 PCB 设计

在高速电路设计中,如果电路元件和走线布局不合理,就会产生电磁干扰和反射,造成逻辑误翻转,产生误码,甚至造成电路不能正常工作。因此,高速 PCB 的设计必须考虑时序、延迟、反射、

串扰、噪声等问题^[10]。本系统采用 Cadence SPB16.2 进行设计,对信号完整性进行仿真,同时设计合理的 PCB 叠层,保证信号线特性阻抗连续,且阻抗匹配。本系统采用了 12 层电路板,信号层与地层相邻,电源层与地层配对,为信号电流及其回路电流提供了良好的通路^[11-12]。顶层和底层仅进行元件布局,但不进行信号线长距离布线,信号线尽量走中间信号层,为系统提供良好的 EMC/EMI 环境。采用多层电路板,提高了系统抗噪性能,减少了反射引起的波形畸变,减小了串扰,大幅度抑制了电源电压的波动,而且信号线的特性阻抗稳定,容易匹配,同时布线密度可以做得很高。

在设计过程中,结合实际应用经验,对高速 PCB 设计采取了如下措施:

(1)采用磁珠加电容滤波的方法对每组电源分别去耦,以取得最好的滤波效果,增强电源分配系统的完整性,减小地弹对高频信号的影响。

(2)对高频时钟走线进行阻抗匹配设计,在时钟信号的传输通路上串联匹配电阻(约 33 Ω),减小信号反射。时钟信号线进行包地处理,减小时钟信号对其他信号传输线的串扰。

(3)尽量保持差分线等间距等长,减少信号扭曲,防止引起信号间的相位差而导致电磁辐射。在等间距等长的前提下要使整体走线长度尽量短,以缩短 EMI 及 EMC 的路径。

(4)使用终端电阻实现对差分传输线的最大匹配,差分阻抗控制在 100 Ω 左右,匹配电阻既起到吸收负载反射信号的作用,也用来产生正常工作的差分电压。采用电缆传输信号或者环境干扰过大时,可使用两个阻值各为 50 Ω 的电阻,并在中间通过一个电容接地,以更好滤去共模噪声,最大程度地保持信号的完整性^[13]。

4 实验结果与分析

为了验证本系统的高速并行处理和传输性能,运用本系统对某 CCD 成像系统的 40 通道高速图像数据进行并行处理与传输。在成像控制器的控制下,将处理后的数据发送给高速图像采集系统。为了保证 CCD 图像数据在不出现丢帧现象的同时以更高速度存储到硬盘,高速图像采集系统采用了 IO INDUSTRIES 公司最新的高速采集卡 DVR Express CLFC,它的突出特点是采

用 FC(Fiber Channel)光纤通信接口硬盘对图像进行存储,最高可以达到 850 MB/s。实验中,首先采用自校工作模式,向采集系统发送规律灰度图像,以验证高速串行 LVDS 传输通道的性能,并通过 FPGA 硬件编程调整发送时钟频率,分别实验了 40,55,60,75 MHz 的发送时钟。采集的规律灰度图像如图 6 所示,通过软件分析采集到的规律灰度条纹图像数据可知,经高速差分串行传输的图像数据无数据丢失,无误码产生。其次在成像工作模式下,由成像控制器发送拍摄指令,由高速采集系统对 40 通道的高速图像数据进行同步采集,采集得到的部分外场景图像如图 7 所示。由存储图像分析结果可知,图像质量好,数据正确,无丢帧现象。实验验证结果表明:系统在保证信号质量的前提下,实现了高速、多通道 CCD 图像数据同步获取、无缝拼接和高数据率的传输。

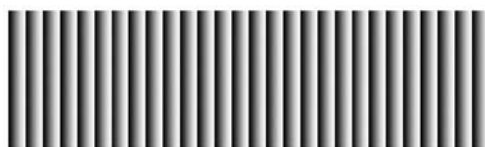


图 6 采集到的灰度条纹图像
Fig. 6 Gray stripe image collected



图 7 外场景图像
Fig. 7 Outside scene image

5 结 论

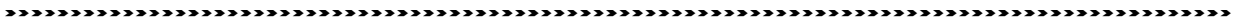
设计了一种高速多通道 CCD 图像数据处理与传输系统。该系统对高速多通道的 CCD 图像数据采取基于 FPGA 的区域并行处理的方案,运用 FPGA 内部块 RAM 构建高速多通道 CCD 图像数据的缓冲区,在存取控制上采取区域缓存和时分复用的策略完成对高速多通道 CCD 图像数据的整合处理;而对高速多通道图像数据的传输采用了高速差分串行传输技术,以高速差分串行

的 LVDS 数据流替代传统的并行“TTL/COMS”信号进行传输,使系统高速传输能力大大加强,并且功耗低、抗干扰能力强。系统通过调试,已成功运用于某 40 通道高速 CCD 成像系统中,CCD 像元读出速率为 16 MHz,量化灰度等级为 12 bit,

FPGA 采用 Xilinx 公司的 XC2V3000 加以实现,系统并行处理和传输的总数据率高达 7.68 Gbit/s。由于采用 FPGA 器件设计,可通过硬件编程调整系统并行处理和传输速率,因此系统具有通用灵活、可维护性强的优点。

参 考 文 献:

[1] 李爱玲,张伯珩,边川平. 高速 CCD 图像采集存储系统的硬件设计[J]. 电子器件,2007,30(6):2145-2157.
[2] 赵变红,何斌,杨利红,等. TDI-CCD 图像固有条带噪声的消除方法及实现[J]. 液晶与显示,2010,25(5):752-758.
[3] 刘妍妍,李国宁,张瑜,等. 光面阵 CCD 响应非均匀性的检测与校正[J]. 液晶与显示,2010,25(5):759-753.
[4] 张达,徐抒岩. 基于 TLK2711 的高速图像数据串行传输系统[J]. 微计算机信息,2009,25(1):284-286.
[5] 薛旭成,李云飞,郭永飞. CCD 成像系统中模拟前端设计[J]. 光学精密工程,2007,15(8):1191-1195.
[6] 张颀,徐和飞,牛秦洲. LVDS 接口 LED 显示屏数据处理系统设计[J]. 液晶与显示,2008,23(6):736-742.
[7] 李娜,丁亚林,冷雪,等. 线阵 CCD 相机模拟器的分析与设计[J]. 液晶与显示,2009,24(6):922-927.
[8] 孙晓辉. 基于 CPLD 的 RS-422 接口电路设计[J]. 航空计算技术,2007,9(5):59-62.
[9] 张贵祥,金光. 星载光学遥感相机图像模拟源的设计与实现[J]. 计算机测量与控制,2009,17(7):1368-1370.
[10] 朱晓华. 超高速数据采集系统的设计与实现[J]. 电测与仪表,2002,39(444):40-43.
[11] 张达,徐抒岩. 高速多通道 CCD 信号并行处理系统[J]. 吉林大学学报(信息科学版),2008,26(3):281-286.
[12] 李波,王德江,逢浩辰,等. 一种平板显示器定标器的软硬件验证平台[J]. 液晶与显示,2010,25(1):134-138.
[13] 陈伟,宋燕星. 基于 LVDS 技术的高速数字图像传输系统[J]. 电子测量技术,2008,31(11):172-174.



文章编码的识读

为了便于期刊文章的检索、查询、全文信息索取和远程传递以及著作管理,凡具有文献标识码的文章均可标识一个数字化的文章编号,其中 A(理论与应用研究学术论文(包括综述报告))、B(实用性技术成果报告(科技)、理论学习与社会实践总结(社科))、C(业务指导与技术管理性文章(包括领导讲话、特约评论等))三类文章必须编号。

文章编号由期刊的国际标准刊号、出版年、期次号及文章的篇首码和页数五段共 20 位数字组成,其结构为:XXXX-XXXX(YYYY)NN-PPPP-CC,其中 XXXX-XXXX 为文章所在期刊的国际标准刊号(ISSN),YYYY 为文章所在期刊的出版年,NN 为文章所在期刊的期次,PPPP 为文章首页所在期刊页码,CC 为文章页数,“-”为连字符。该编号在全世界范围内是该文章的惟一标识。

文章编号由各编辑部给定,中文文章编号的标识为“文章编号:”或[文章编号]。如:文章编号:1007-2780(2003)02-0097-04 为发表在《液晶与显示》2003 年第 2 期第 97~100 页(共 4 页)上题为“液晶中聚合物网络的形貌研究”(作者:杨文君等)一文的文章编号。